

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月23日
Date of Application:

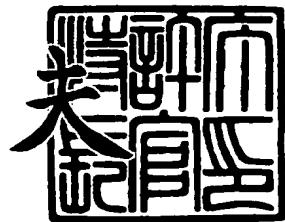
出願番号 特願2003-014527
Application Number:
[ST. 10/C] : [JP2003-014527]

出願人 川崎マイクロエレクトロニクス株式会社
Applicant(s):

2003年12月17日

特許長官
Commissioner,
Japan Patent Office

今井康





【書類名】 特許願
【整理番号】 02J00644
【提出日】 平成15年 1月23日
【あて先】 特許庁長官 殿
【国際特許分類】 G02F 1/1339
G02F 1/136

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

【氏名】 平野 伸治

【特許出願人】

【識別番号】 501285133

【氏名又は名称】 川崎マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100080159

【弁理士】

【氏名又は名称】 渡辺 望稔

【電話番号】 3864-4498

【選任した代理人】

【識別番号】 100090217

【弁理士】

【氏名又は名称】 三和 晴子

【電話番号】 3864-4498

【手数料の表示】

【予納台帳番号】 006910

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113437

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置の製造方法

【特許請求の範囲】

【請求項 1】

複数の画素電極が形成された基板上に複数の柱状スペーサを形成し、前記複数の柱状スペーサが形成された基板上に、平坦な表面を有する塗布材料の膜を、前記柱状スペーサの頭部が前記塗布材料の膜の表面から突出するように形成し、

前記塗布材料の膜の表面を基準面として、前記突出した前記柱状スペーサの頭部を研磨することにより、前記複数の柱状スペーサの上面の高さを前記塗布材料の膜の表面の高さに揃えることを特徴とする表示装置の製造方法。

【請求項 2】

前記複数の柱状スペーサの頭部の周囲、および該周囲間を連結する領域に、前記塗布材料の膜厚に比較して浅い溝が形成されるように、前記塗布材料の膜を形成するようにしたことを特徴とする請求項 1 に記載の表示装置の製造方法。

【請求項 3】

前記塗布材料は感光性を有し、前記溝の形成を、前記塗布材料の膜の表面付近のみが露光される条件で露光することによって行うことを特徴とする請求項 2 に記載の表示装置の製造方法。

【請求項 4】

前記柱状スペーサは無機系絶縁物からなり、前記塗布材料は有機系塗布材料であることを特徴とする請求項 1 ~ 3 のいずれかに記載の表示装置の製造方法。

【請求項 5】

前記柱状スペーサはシリコン窒化物もしくはシリコン酸窒化物からなることを特徴とする請求項 1 ~ 4 のいずれかに記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶に代表される電気光学物質（液状表示媒体）を用いた表示装置

の製造方法に係り、特に、駆動素子と画素電極とをマトリクス状に配置したアクティブマトリクス基板の製造方法に関する。

【0002】

【従来の技術】

電気光学物質を用いた表示装置では、一般的に、2枚の基板間のギャップに電気光学物質が封入される。そして、一方の基板上にマトリクス状に配置された各画素毎の電極（画素電極）に印加される電圧により、各画素に対応する領域の電気光学物質の光学特性が変化し、画像を表示する。特に、アクティブマトリクス型表示装置には、各画素毎に、画素電極とともに、画素電極に所定の電圧を供給するトランジスタ等の駆動素子が配置された、アクティブマトリクス基板が使用される。

このような表示装置にはまた、透過型の表示装置と反射型の表示素子とがある。透過型の場合には、透明な基板、例えばガラス上に、半導体薄膜を形成し、薄膜トランジスタ（以下、TFTとする）を駆動素子として形成する。画素電極も透明な材料を利用して形成する。一方、反射型の場合には不透明な基板を利用することができる。一例として、シリコンウェハ等の半導体基板を基板として利用し、それ自体の表面、もしくは表面上に形成した半導体薄膜に、駆動素子として使用するトランジスタを形成し、アルミニウム等の、高い反射率を有する、不透明な材料で画素電極を形成したものがある。

【0003】

透過型の液晶表示装置で用いられるアクティブマトリクス基板の一例を図11に平面図で示す。図11に示すように、アクティブマトリクス基板には、マトリクス状に配置された数十～数百万個もの画素領域102と、ブラックマトリクス（遮光領域）104、配線領域106から構成されている。各画素領域102のブラックマトリクスによって遮光された部分には、それぞれTFTが配置され、各画素電極に出入りする電荷をTFTのスイッチング機能により制御する。

【0004】

図12に、図11に示されるようなアクティブマトリクス基板を用いた、アクティブマトリクス型の液晶表示装置の基本構成を概略断面図で示す。

図12に示すように、液晶表示装置の、図の下側の部分には、透明性を有する下地基板110上にTFTの活性層（半導体薄膜）112が設けられ、TFTの活性層112上にゲート電極114、データ線116、ドレイン電極118、層間絶縁膜120及びブラックマトリクス（遮光領域）104が形成されている。層間絶縁膜120の上には、ITO（Indium Tin Oxide）膜等の透明導電性膜からなる画素電極122a及びポリイミド系の配向膜124aが設けられる。これらの、下地基板110から配向膜124aまでの部分が、アクティブマトリクス基板130である。一方、図の上側には、透過性の基板（上部基板）128上に透明導電性膜からなる電極122bと、配向膜124bとが設けられ、対向基板132を構成する。そして、このアクティブマトリクス基板130と対向基板とが、互いに基板間隔（セルギャップ）Gを持って対向するように保持され、このセルギャップに液晶が封入される。

【0005】

このとき、前記基板間の間隔（セルギャップ）Gにムラがあると液晶の表示ムラ、色ムラ等が発生するため、基板間隔Gが均一であることが好ましい。しかし現実には、表示装置の全面にわたってセルギャップを高い精度で一定に保つことは容易ではない。その原因の一つは、アクティブマトリクス基板130、対向基板132のそれぞれが完全には平坦でないことがある。特にアクティブマトリクス基板130は、その製造工程で、様々な応力を有する様々な膜が堆積され、また、様々な温度での熱処理が行われるため、仮に、下地基板110自体は完全に平坦であったとしても、完成したアクティブマトリクス基板130を平坦に保つことは困難である。

【0006】

そこで、この基板間隔Gを制御するために、アクティブマトリクス基板上に粒形のスペーサ（ビーズ）を散布する方法が知られている（例えば、特許文献1参照）。また、アクティブマトリクス基板上に成膜した樹脂や無機材料の膜をパターニングすることによって、セルギャップ保持材（柱状スペーサ）を形成することも提案されている。より具体的には、スピンドルコート法によって形成し、常温放置によってレベリングを行った感光性ポリイミド膜を、さらにCMP（化学機械

研磨) 处理によって平坦化した後に、パターニングしてギャップ保持材を形成する方法(特許文献2)や、プラズマCVD法によって堆積したシリコン酸化膜を、CMP法によって平坦化してからパターニングしてスペーサを形成する方法(特許文献3)が提案されている。

【0007】

【特許文献1】

特開平10-104636号公報

【特許文献2】

特開平10-339889号公報

【特許文献3】

特開平8-248425号公報

【0008】

【発明が解決しようとする課題】

しかしながら、上述したような従来技術によっても、まだ前記従来の問題は解決されてはいない。

粒状のスペーサを散布する方法では、基本的には、図13に模式的に示すようにランダムな位置に粒状スペーサが配置され、粒状スペーサの位置を制御することができない。画素領域102に配置された粒状スペーサは、液晶の配向性を乱し、画像表示の乱れ(ディストーション)を引き起こす。この対策として特許文献1には、散布後にエアブローを行うことによって、画素領域以外の部分のみに粒状スペーサを残す方法が提案されている。しかし現実には、この方法を利用したとしても、セルギャップに液晶を注入する際に粒状スペーサが移動するため、粒状スペーサの位置を完全に制御することは困難であった。また、液晶注入時のスペーサの移動は、スペーサ密度の面内のばらつきを引き起こし、それによってもセルギャップのばらつきが大きくなる。

【0009】

一方、樹脂や無機材料の膜をパターニングして柱状スペーサを形成する方法では、スペーサの位置を制御することが可能である。しかし、樹脂材料では耐熱性、耐光性に乏しく、熱サイクルに伴う柱状スペーサの収縮によってセルギャップ

ムラが発生したり、光照射による画質劣化が発生したりする。

柱状スペーサを無機材料で形成する場合には、耐熱性、耐光性は高めることができる。しかし、例えばプラズマCVD法で無機材料膜を堆積する際の基板となる、アクティブマトリクス基板の表面には、図11に示すように、TFTや画素電極等に伴う凹凸が存在する。このような基板上に堆積したシリコン酸化膜等の表面は、基板表面の凹凸の影響を受け、平坦にはならない。このような膜をパターニングしても、上面が平坦で、均一な高さを有する柱状スペーサを形成することはできず、セルギャップを均一に保つことはできない。このため、特許文献3では、CMP法による平坦化を行ってからシリコン酸化膜のパターニングを行うことが提案されている。しかし、後から詳細に説明するように、基板全面に堆積された状態でCMP処理を行っても、高い平坦性を実現することは困難である。

【0010】

本発明は、前記従来の問題に鑑みてなされたものであり、基板間隔を一定に維持することができ、表示ムラの無い表示装置の製造方法を提供することを課題とする。

【0011】

【課題を解決するための手段】

前記課題を解決するために、本発明は、複数の画素電極が形成された基板上に複数の柱状スペーサを形成し、前記複数の柱状スペーサが形成された基板上に、平坦な表面を有する塗布材料の膜を、前記柱状スペーサの頭部が前記塗布材料の膜の表面から突出するように形成し、前記塗布材料の膜の表面を基準面として、前記突出した前記柱状スペーサの頭部を研磨することにより、前記複数の柱状スペーサの上面の高さを前記塗布材料の膜の表面の高さに揃えることを特徴とする表示装置の製造方法を提供する。

【0012】

また、前記複数の柱状スペーサの頭部の周囲、および該周囲間を連結する領域に、前記塗布材料の膜の膜厚に比較して浅い溝が形成されるように、前記塗布材料の膜を形成するようにしたことが好ましい。

【0013】

また、前記塗布材料は感光性を有し、前記溝の形成を、前記塗布材料の膜の表面付近のみが露光される条件で露光することによって行うことが好ましい。

【0014】

また、前記柱状スペーサは無機系絶縁物からなり、前記塗布材料は有機系塗布材料であることが好ましい。

【0015】

また、前記柱状スペーサはシリコン窒化物もしくはシリコン酸窒化物からなることが好ましい。

【0016】

【発明の実施の形態】

以下、本発明の表示装置の製造方法について、添付の図面に示される好適実施形態を基に詳細に説明する。

【0017】

本発明に係る表示装置の製造方法の例として、液晶を用いた反射型の電気光学装置（半導体表示装置）の製造方法を以下説明する。本実施形態に係る半導体表示装置の製造方法の工程を図1～図9に示す。

【0018】

まず、図1には、下地基板として使用するシリコン（Si）基板1の上にTFTの活性層2を形成し、その上にゲート電極4、データ線6およびドレイン電極8を形成し、さらに、これらの上に第1の層間絶縁膜10（BPSG膜/NSG膜）を形成してその表面を酸化膜CMPにより研磨して平坦化するまでの工程が示されている。

【0019】

次に、図2に示す工程においては、図示しない周辺駆動用回路用の配線を形成し、遮光層（ブラックマトリクス）12および第2の層間絶縁膜14が形成される。

次に図3に示す工程においては、第2の層間絶縁膜14上に反射率の高い不透明な材料として、Al（アルミニウム）を主成分とする合金（例えばAlCu）をスパッタ成膜し、パターニングして画素電極16を形成する。このとき膜厚は

約100nm～200nmに調整され、最小画素サイズは数十 μm 角にパターニングされる。

【0020】

次に図4に示す工程においては、まず画素電極16上に、屈折率1.50前後のシリコン酸化膜（プラズマ酸化膜）18を、シラン系の原料ガス雰囲気を用いたプラズマCVDで形成する。

具体的には、屈折率1.35～1.65（1.50±0.15）の範囲に膜質調整し、膜厚は400nm±100nmとする。

【0021】

続いて、画素間の表面段差を緩和するために無機系のSOG材料をプラズマ酸化膜18上に塗布し、SOGエッチバック処理が施される。このエッチバック処理では、画素電極上の絶縁膜（プラズマ酸化膜18）の残り膜厚を、約250nm±50nmに調整される。

ただし、特に画素間隔が狭い場合には、SOGエッチバック処理によっても完全な平坦性を得ることはできない。例えば、隣り合う4つの画素に囲まれた四重点を完全に平坦にすることは困難であり、図示したように凹部18aとなる。

【0022】

次に図5に示す工程においては、SOGエッチバック処理後のプラズマ酸化膜18上に、プラズマCVD法でシリコン窒化膜（プラズマ窒化膜）20を形成する。後述するように、このプラズマ窒化膜20をパターニングして柱状スペーサを形成する。プラズマ窒化膜20は、屈折率1.40～1.80の範囲内に膜質調整され、膜厚1.8 μm ～2.0 μm に成膜される。

プラズマ窒化膜20を形成する工程においては、例えば、平行平板型のプラズマCVD装置を用いて、SiH₄ガス、N₂Oガス、NH₃ガス、N₂ガスの混合ガスを原料ガス雰囲気とする。

【0023】

画質の最適化のため、主としてN₂Oガス混合比およびプラズマ放電電力の調整によって、プラズマ窒化膜の屈折率を、液晶の種類、および、画素上に堆積するプラズマ酸化膜20と液晶との複素屈折率の関係に応じて、調整する。例えば

、屈折率1.80のプラズマ窒化膜を得るためにN₂Oガス混合比を0とし、屈折率1.40のプラズマ窒化膜を得るためには、NH₃ガスに対して約2倍の流量比でN₂Oガスを混合する。

なお、N₂Oガス混合比が0の場合に堆積される膜はシリコン窒化物の膜であるが、N₂Oガスを混合した場合には、成膜される膜に（残留酸素成分に起因する量を超えた）酸素が添加され、シリコン酸窒化物の膜となる。以下、シリコン窒化物の膜である場合とシリコン酸窒化物の膜である場合との両方を含めて「プラズマ窒化膜」と表記する。これらの膜は耐熱性、耐光性に優れ、一般的に利用可能なプラズマCVD装置を用いて堆積可能である。また、プラズマ酸化膜等に比較してさらに高い硬度を有するため、後から行うCMP時のスクラッチ等の欠陥発生を抑制することができる。しかも、上記のように堆積条件を調整して屈折率を調整することにより、画質を最適化することが可能である。

ここで、前述の四重点におけるプラズマ酸化膜18表面の凹部18aの上方では、プラズマ窒化膜20の表面にも、図5に符号20aで示すように、歪んだ形状となり、凹部が形成される。

続いて、プラズマ窒化膜20上にフォトレジスト膜を形成し、パターニングを行って、レジストパターン22を形成する。

【0024】

次に図6に示す工程においては、レジストパターン22をマスクとして、プラズマ窒化膜20と、画素電極上のプラズマ酸化膜18をドライエッチングで加工し、プラズマ窒化膜の柱状スペーサ24を形成する。このとき、プラズマ窒化膜20が選択的に除去された後、画素電極上に残留するプラズマ酸化膜18の膜厚が、約50nmになるように調整される。続いてフォトレジスト膜22を除去した後、水素雰囲気中450°C、90分のH₂シンター処理が行われる。

ただしこの段階では、まだ、柱状スペーサ24の上面は平坦ではないし、高さのばらつきも比較的大きい。柱状スペーサは、画質を劣化させることがないように、表示領域以外、すなわち、画素電極間に形成される。この位置には、前述のように、プラズマCVDで堆積した段階で、プラズマ窒化膜20表面に歪んだ形状の凹部20aが存在する。従って、形成された柱状スペーサの上面にも凹部2

0 a がそのまま残る。さらに、この凹部を無視しても、プラズマCVD法による膜形成に起因する膜厚ばらつきが存在するため、パターニングによって形成された段階の柱状スペーサ 2 4 の高さにもばらつきが存在する。そこで続いて、以下に述べるように、柱状スペーサの上面を平坦にし、その上面の高さを一定にそろえるための処理が行われる。

【0025】

次に図7に示す工程においては、プラズマ塗化膜の柱状スペーサ 2 4 を形成した基板上に、フォトレジスト膜 2 6 をプラズマ塗化膜 2 0 の膜厚（柱状スペーサ 2 4 の高さ）よりも薄く（すなわち、フォトレジスト膜 2 6 から柱状スペーサ 2 4 の頭部 2 4 a が突出するように）成膜する。また、柱状スペーサ 2 4 の周囲の数 μm の範囲に位置するフォトレジスト膜 2 6 の表面領域に、堀れ込み（溝） 2 6 a を形成する。

具体的には、例えば、柱状スペーサ 2 4 の高さに比較して 4 0 0 nm 薄い膜厚に、フォトレジスト膜 2 6 を回転塗布法によって形成し、その後、柱状スペーサ 2 4 に対応する位置に、柱状スペーサ 2 4 の周囲にマージンを持たせた開口部を有するフォトマスクを利用して、フォトレジスト膜 2 6 を露光し、現像を行うことによって溝 2 6 a を形成する。この時、フォトレジスト膜 2 6 の表面領域のみが露光される露光量を選択することによって、フォトレジスト膜 2 6 の表面領域のみに、すなわち、フォトレジスト膜 2 6 の膜厚に比較して浅い、溝 2 6 a を形成する。溝 2 6 a の深さは、露光量によって調整することができる。

【0026】

回転塗布法によるフォトレジスト膜の形成は、アクティブマトリクス基板や、もしくは一般の半導体集積回路製造において頻繁に用いられる工程であり、高い精度および均一性で、膜厚を制御することができる。例えば、基板表面全面において 1 % 以内のばらつき、より具体的には、 $1400\text{ nm} \pm 14\text{ nm}$ 、もしくは、 $1600\text{ nm} \pm 16\text{ nm}$ の範囲に制御することができる。

その後、熱硬化処理を行う。上記のように柱状スペーサ 2 4 の周囲に溝 2 6 a を形成するのは、後で詳しく述べるように、柱状スペーサ 2 4 の突出した頭部 2 4 a を選択的に研磨するために、CMPで使用するスラリーを柱状スペーサ 2 4



の近辺に停滞させるためである。

【0027】

次に図8に示す工程においては、柱状スペーサ24の突出した頭部24aを、CMP処理により選択的に研磨して、柱状スペーサ24の高さをフォトレジスト膜26の表面の高さに揃える。

この時に、柱状スペーサ24の頭部24aの、凹部20aが存在していた部分が除去され、平坦な上面を有する柱状スペーサ24を得ることができる。

柱状スペーサ24の頭部24aのCMPには、例えば、市販の酸化膜CMP用スラリー材料を使用することができる。

【0028】

以下、図示は省略するが、次に、フォトレジスト膜26を剥離し、アクティブマトリクス基板の形成工程を終える。

その後、アクティブマトリクス基板と、対向電極および配向膜が形成された対向基板とを貼り合わせ、液晶材料を注入することにより、封入する。これにより、アクティブマトリクス基板と対向基板との間の、均一な高さを有する柱状スペーサ24によって均一に維持されたセルギャップ間に、液晶材料が保持される。

【0029】

柱状スペーサ24の形成方法について、さらに図を用いて詳細に説明する。

図9（a）は、画素領域（図では画素電極で代表させて示す）30の間に柱状スペーサ24を設けた状態（図6参照）を示す斜視図である。また、図9（b）は、これにフォトレジスト膜26を、柱状スペーサ24の頭部24aが突出するように形成した状態（図7参照）を示す斜視図である。

これらの図、および次の図10では、柱状スペーサ24頭部24aの歪み形状（凹部）の表示は省略してある。

また、柱状スペーサ24の頭部24aの周囲のフォトレジスト膜26の表面領域に溝26aを設けた状態（図7参照）を図10に示す。この溝26aを、図に示す矢印のようにスラリーが流れる。このとき、柱状スペーサ24の頭部24aの面積は、フォトレジスト膜26で覆われた画素領域30に比べてはるかに小さい。例えば、画素領域30が $10\mu m \times 10\mu m$ であるのに対して、柱状スペー

サ24は、 $1\mu\text{m} \times 1\mu\text{m}$ であり、面積比で約1／100になる。

【0030】

柱状スペーサ24の頭部24aの周囲のフォトレジスト膜26に設けられた溝26aは、頭部24aを選択的に研磨する際（図8参照）、スラリー材料の停滞による研磨効率向上をもたらす。また、図10には1つの柱状スペーサ24しか示されていないが、実際には、複数の柱状スペーサ24が、例えばそれぞれの画素領域30の間の四重点に、形成される。溝26aは、これらの複数の柱状スペーサ24の頭部24aの周囲と、その間を連結する領域に形成される。この、連結された溝26aにより、スクラッチ等の主な要因である研磨パッド等の削りかすを、研磨している領域の外へ導く。これより、スクラッチ等のダメージを招くことなく、CMP処理が可能になる。

【0031】

前記のように、研磨対象の頭部24aの面積が小さいことに加えて、溝26aによる研磨効率向上によって、通常のシリコン酸化膜に比較して硬質のプラズマ塗化膜で形成されているにもかかわらず、柱状スペーサ24の頭部24aの研磨は、わずか数十秒で完了する。研磨時間の短縮は、スラリー材料、研磨パッド等の消耗品に付随した部分も含めて製造コスト削減に効果を発揮する。なお、数十秒の研磨時間では、フォトレジスト膜26は、削れることは無く、頭部24aの研磨膜の面取り基準面としての効果を充分に有している。

【0032】

柱状スペーサ24の頭部24aの選択的研磨は、具体的には、例えばKOHベースのスラリー材料を用い、メイン研磨圧力を3PSI～5PSI、CMP装置の定盤のメイン回転数を25rpm～75rpmとし、ウエハ保持のキャリアのメイン回転数を20rpm～50rpmで行われる。

なお、メイン研磨圧力等の研磨条件は、プラズマ塗化膜20の膜質に応じて調整する。例えば、屈折率が低く相対的に軟質のプラズマ塗化膜の場合には、メイン研磨圧力およびメイン回転速度を低くする。逆に、屈折率が高く相対的に硬質の場合には、メイン研磨圧およびメイン回転速度を高くする。なおこの研磨条件は、後者の場合においても、プラズマ塗化膜に比較してはるかに軟質な、通常の

シリコン酸化膜（例えば層間絶縁膜10）の平坦化に利用する条件と同程度の範囲内である。従って、連結された溝26aによる削りかす除去効果も相まって、スクラッチ等のダメージ発生を効果的に防止することができる。

【0033】

ここで、プラズマ塗化膜のパターニングにより柱状スペーサ24を形成してから、塗布によってフォトレジスト膜26を形成し、このフォトレジスト膜26の表面を基準面としてCMPを行うことにより、例えば特許文献3のように、堆積直後の膜の状態でCMPを行ってから、パターニングを行って柱状スペーサを形成する場合に比較して、以下の点でよりすぐれた結果を得ることができる。

まず、（1）フォトレジスト膜の表面を基準面とすることにより、柱状スペーサ24の上面の平坦性を高めるとともに、その高さの均一性を高めることができる。

一般的には、CVD法で堆積するシリコン塗化膜に比較して、塗布法で形成するフォトレジスト膜の方が、膜厚の制御性および均一性が高い。例えば、前述のように1%以内のばらつきに抑えることが容易にできる。また、CVD法による堆積では、プラズマ酸化膜18表面の凹部18a（図5参照）のような、基板表面の局所的な形状に敏感に影響を受けて、20aのような歪んだ形状を有する表面が形成されるのに対して、塗布法では、基板表面の局所的な形状の影響を受けにくい。従って、フォトレジスト膜の方が、プラズマCVDによって堆積したシリコン塗化膜20の表面に比較して、はるかに高い平坦性、および高さ均一性を持つ。この、高い平坦性、均一性を持つフォトレジスト膜表面を基準面としてCMP処理を行うため、研磨後の柱状スペーサの上面の平坦性を高め、かつ、表示素子全体に配置される多数の柱状スペーサ24の上面の高さの均一性を高めることができる。

【0034】

次に、（2）短いCMP時間で高い平坦性を得ることができる。またその結果、高い上面高さの均一性を得ることができる。

前述のように、CMPによる研磨の対象となる柱状スペーサ24の頭部24aの面積は、画素領域30の面積の1/100程度である。このため、パターニン

グする以前の全面にプラズマ塗化膜20が存在する状態でCMPを行う場合に比較して、はるかに短い時間で、同一の研磨膜厚を得ることができる。さらに、パターニングされる以前のプラズマ塗化膜20の表面全体において、凹部20aがしめる面積比率が極めて小さいのに対して、パターニングされて形成された柱状スペーサ24の頭部24aの中で凹部20aの部分が占める面積比率は高い。従って、柱状スペーサ24にパターニングしてからCMPを行う方が、はるかに小さな研磨膜厚で、凹部を解消し、平坦な表面（柱状スペーサ24の上面）を得ることができる。

この2つの要因により、パターニング以前にCMPを行う場合に比較して、柱状スペーサにパターニングしてからCMPを行う場合の方が、凹部20aを解消して平坦な表面を得るために必要な研磨時間をはるかに短くすることができる。

【0035】

さらにここで、特にプラズマ塗化膜のように硬度の高い膜のCMPを行う場合、研磨時間が増すに従って面内のばらつきが増大するという現象がある。従って、パターニング前のプラズマ塗化膜のCMPを行なうと、凹部20aを解消するために極めて長い研磨時間を要するのみではなく、面内での均一性が、研磨開始前（プラズマCVD法による堆積直後）に比較してかえって悪化する結果を招く。

これに対して、柱状スペーサ24に加工してからその頭部24aのみを研磨する場合、研磨時間を短縮して生産性を高めることができるだけではなく、このようなばらつきの増大を防ぎ、研磨後に得られる柱状スペーサの上面の高さの均一性を高めることができる。

【0036】

以上の（1）、（2）の効果により、高い生産性で、上面の平坦性、およびその高さの均一性に優れた、柱状スペーサ24を得ることができる。そして、この柱状スペーサ24を利用してセルギャップを一定に維持することにより、高い画質の表示装置を得ることができる。

なお、プラズマ塗化膜24をパターニングして柱状スペーサ24を形成した状態で、フォトレジスト膜26を形成せずにCMPを行ったとすると、柱状スペー

サ24が剥離する等の問題が発生する。しかし、フォトレジスト膜26を塗布し、硬化を行ってからCMPを行うことにより、十分な機械的強度が維持され、このような問題は発生しない。ただし、柱状スペーサ24の頭部24a周囲の溝26aを形成せずにCMPを行うと、頭部24a周囲へのスラリー材料の流入、停滞が不十分になり、摩擦が増大し、剥離が発生する場合もある。

【0037】

以上詳細に説明したように、本実施形態の半導体の製造方法によれば、上面が平坦で、かつ、上面の高さの均一性が高い柱状スペーサ24を有するアクティブマトリクス基板を得ることができ、この柱状スペーサ24を利用してセルギャップを一定に維持し、高い画質の表示素子を得ることができる。しかも、このような柱状スペーサ24を、短い研磨時間で、生産性よく形成することができる。特に、プラズマ塗化物で柱状スペーサ24を形成した場合には、高い耐熱性、耐光性が得られる上、その屈折率を適切な値に調整し、画質を高めることができる。

【0038】

以上、本発明の表示装置の製造方法について詳細に説明したが、本発明は、以上の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において、各種の改良や変更を行ってもよいのはもちろんである。

上記実施形態においては柱状スペーサを形成する材料として、プラズマCVD法で形成したシリコン塗化物もしくはシリコン酸塗化物を使用した。しかし、対向基板との張り合わせ時の圧力に耐え、ギャップを維持することができる強度を有する範囲で、様々な材料を使用することができる。ただし、一般的には、耐熱性、耐光性、強度等の観点で、無機材料で柱状スペーサを形成することが好ましい。

【0039】

柱状スペーサ24の頭部24aの研磨の際の基準面を得るために、上記実施形態ではフォトレジストを利用した。しかし、必要な膜厚均一性、表面平坦性を持って塗布可能な材料であれば、様々なものを利用することができる。ただし、一般的に利用可能な塗布材料としては有機系のものが多い。また、上記のシリコン塗化物、シリコン酸塗化物のような無機材料の柱状スペーサの頭部の研磨の際に

、顕著に削れることなく、基準面としての役割を果たすためにも、有機系の塗布材料を利用するすることが好ましい。なお、上記実施形態では、感光性を有するフォトレジストを利用し、表面領域の露光によって柱状スペーサ24の頭部24aの周囲の溝26aを形成した。このように、感光性の材料を利用することによって容易に溝26aを形成することができる。しかし、感光性を有さない材料を利用する場合であっても、例えば、研磨の基準面とする塗布材料の膜を形成した後に、薄いフォトレジスト膜をさらに形成し、露光によってパターニングを行い、形成されたフォトレジストパターンをマスクとしたエッチングを行うことによって溝26aを形成することができる。

【0040】

【発明の効果】

以上、説明した通り、本発明によれば、セルギャップを一定に維持することができ、表示ムラの無い表示装置の製造方法を提供することが可能となる。

【図面の簡単な説明】

【図1】 本実施形態に係る半導体表示装置の製造方法の工程を示す説明図であり、第1層間絶縁膜を形成した状態を示す断面図である。

【図2】 同じく本実施形態に係る半導体表示装置の製造方法の工程を示す説明図であり、さらに第2の層間絶縁膜を形成した状態を示す断面図である。

【図3】 本実施形態に係る半導体表示装置の製造方法の工程を示す説明図であり、さらに画素電極を形成した状態を示す断面図である。

【図4】 本実施形態に係る半導体表示装置の製造方法の工程を示す説明図であり、プラズマ酸化膜を形成し、膜厚を調整した状態を示す断面図である。

【図5】 本実施形態に係る半導体表示装置の製造方法の工程を示す説明図であり、さらにプラズマ窒化膜を形成した状態を示す断面図である。

【図6】 本実施形態に係る半導体表示装置の製造方法の工程を示す説明図であり、柱状スペーサを形成した状態を示す断面図である。

【図7】 本実施形態に係る半導体表示装置の製造方法の工程を示す説明図であり、さらにフォトレジスト膜を形成した状態を示す断面図である。

【図8】 本実施形態に係る半導体表示装置の製造方法の工程を示す説明図で

あり、柱状スペーサの頭部を選択的に研磨した状態を示す断面図である。

【図9】 (a) は、柱状スペーサを形成した状態を示す斜視図であり、(b) は、それにフォトレジスト膜を成膜した状態を示す斜視図である。

【図10】 柱状スペーサ頭部の周辺に溝を形成した状態を示す斜視図である。

【図11】 透過型の液晶表示装置の一例を示す平面図である。

【図12】 薄膜トランジスタが配置されたアクティブマトリクス型の液晶表示装置の基本構成を示す概略断面図である。

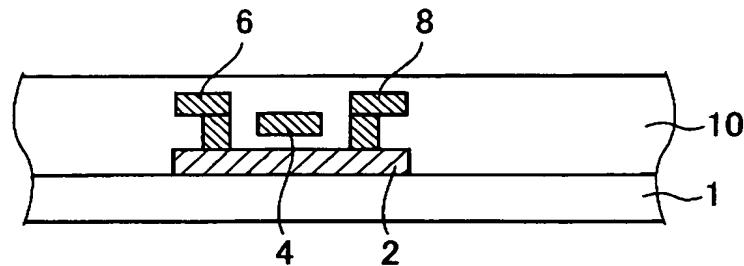
【図13】 粒形スペーサを散布した状態を示す平面図である。

【符号の説明】

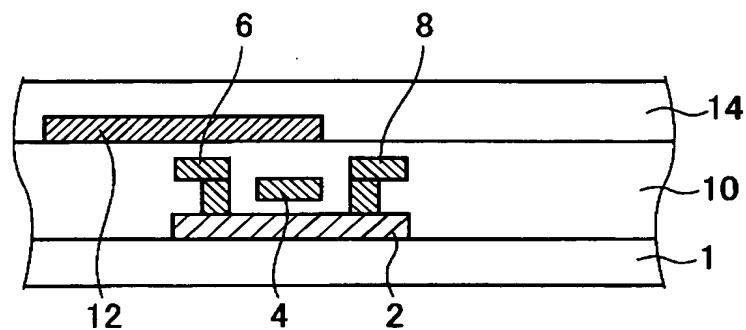
- 1 シリコン基板
- 2 TFT活性層
- 4 ゲート電極
- 6 データ線
- 8 ドレイン電極
- 10 第1の層間絶縁膜
- 12 遮光層用の絶縁膜（ブラックマトリクス）
- 14 第2の層間絶縁膜
- 16 画素電極
- 18 プラズマ酸化膜
- 20 プラズマ窒化膜
- 20a 歪み形状
- 22 レジストパターン
- 24 柱状スペーサ
- 26 フォトレジスト膜
- 26a 溝
- 30 画素領域

【書類名】 図面

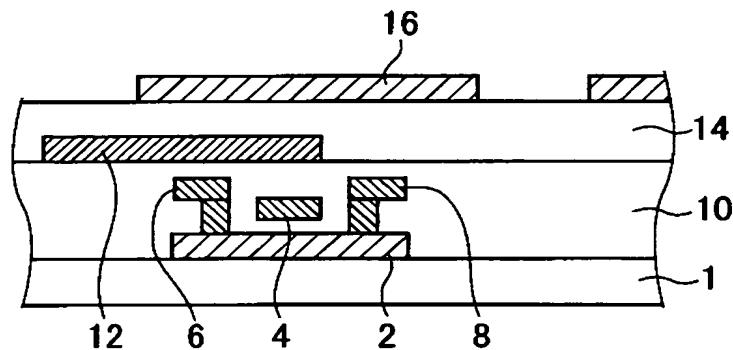
【図 1】



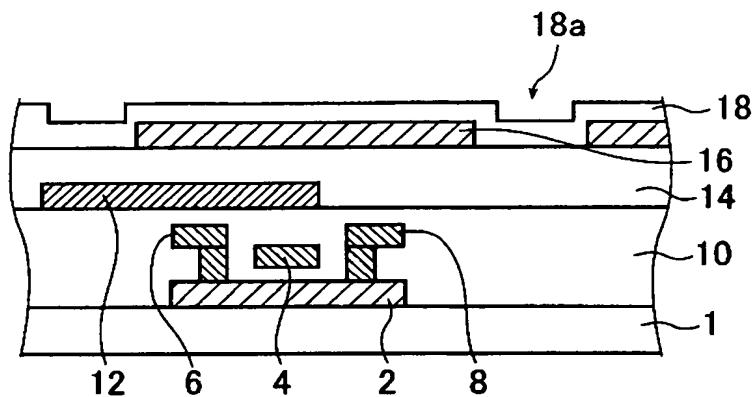
【図 2】



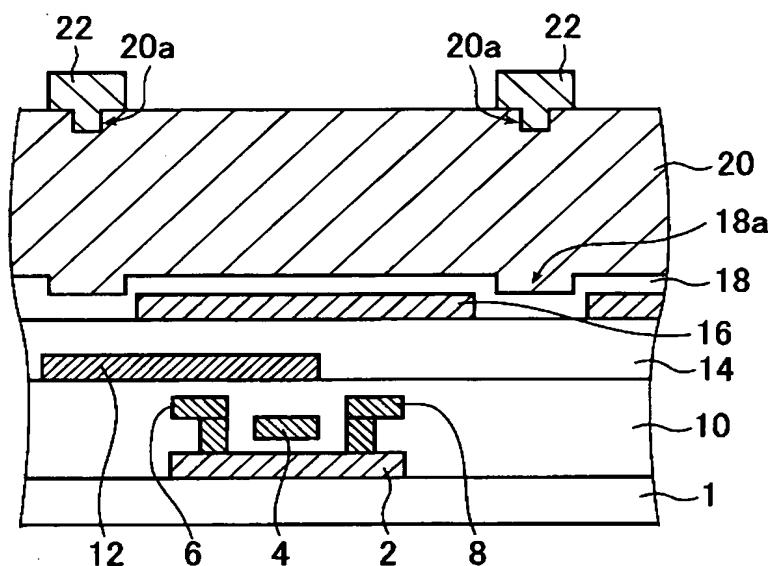
【図 3】



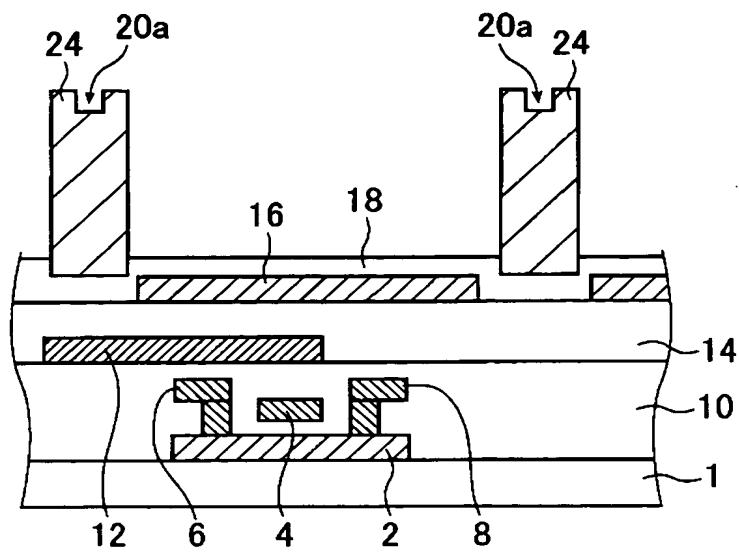
【図4】



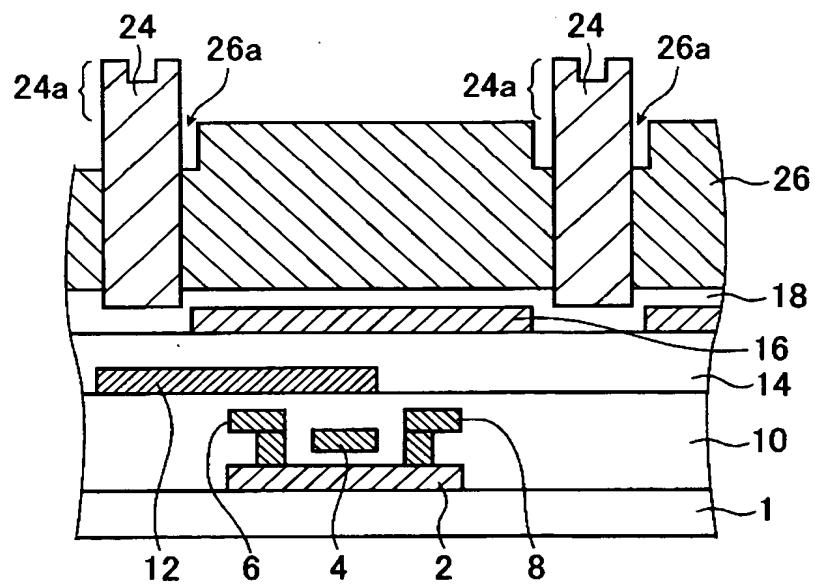
【図5】



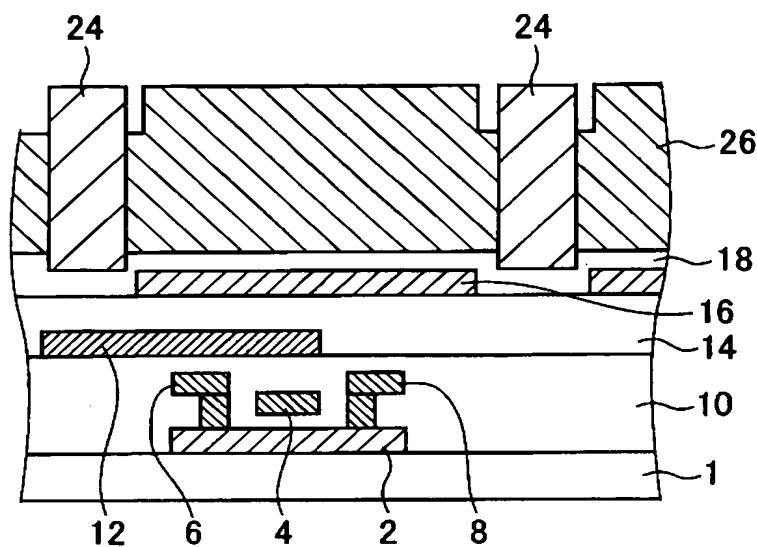
【図 6】



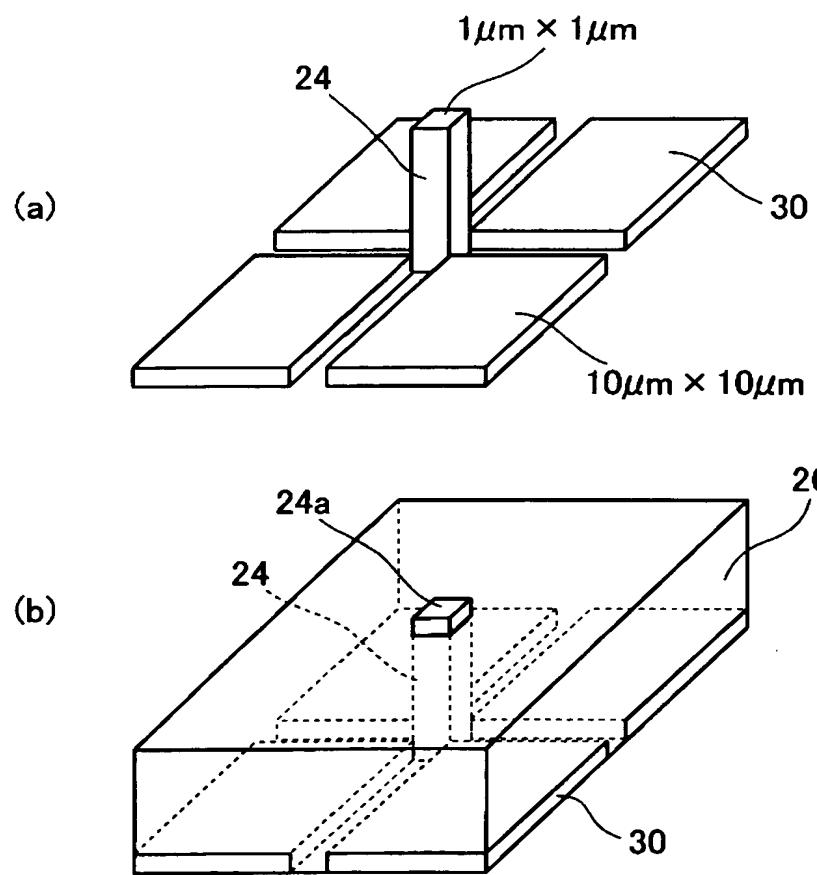
【図 7】



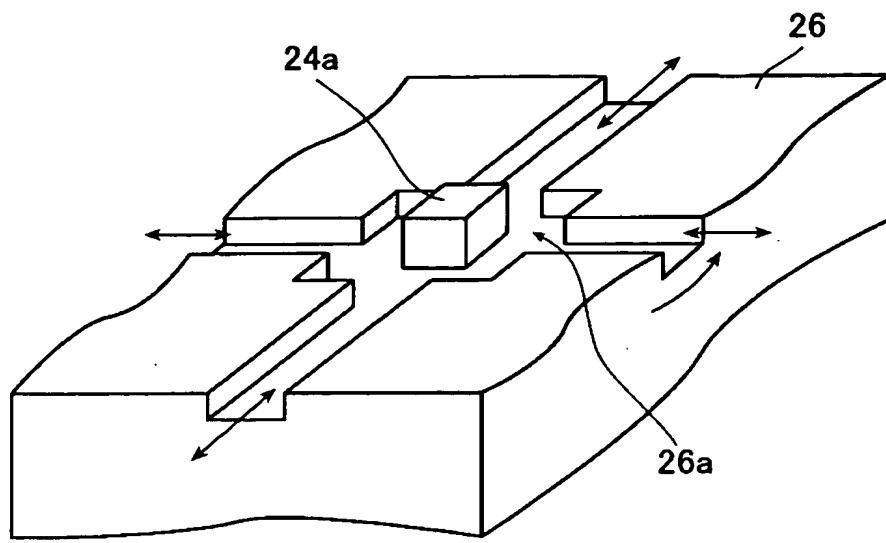
【図8】



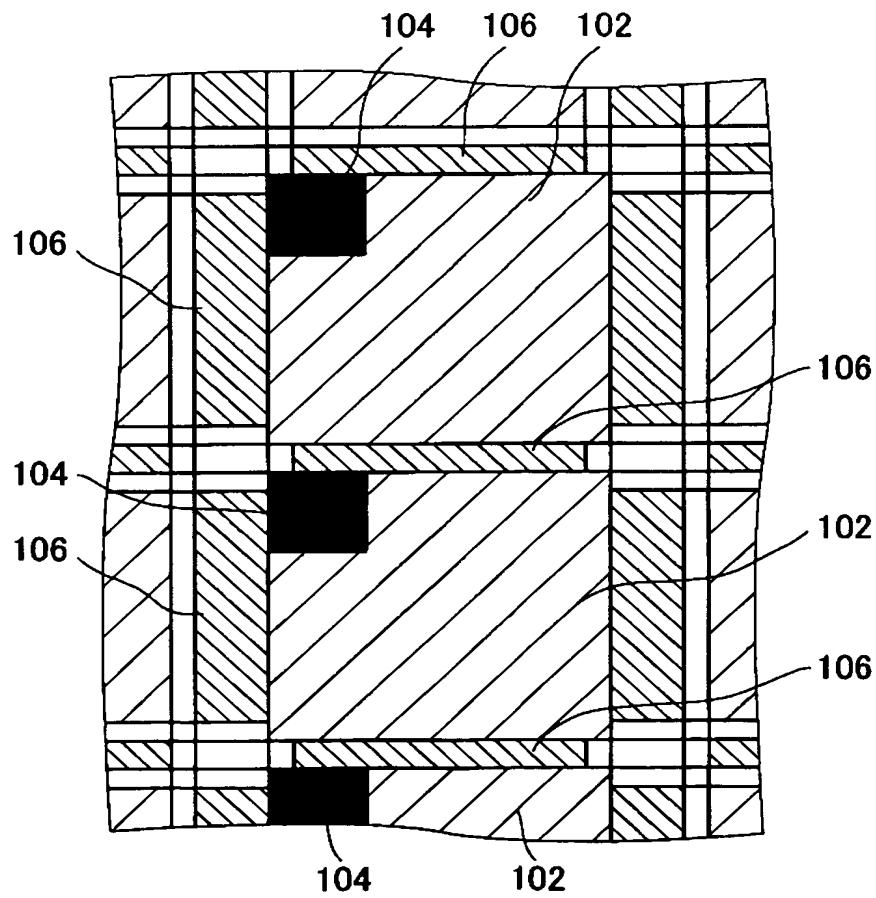
【図9】



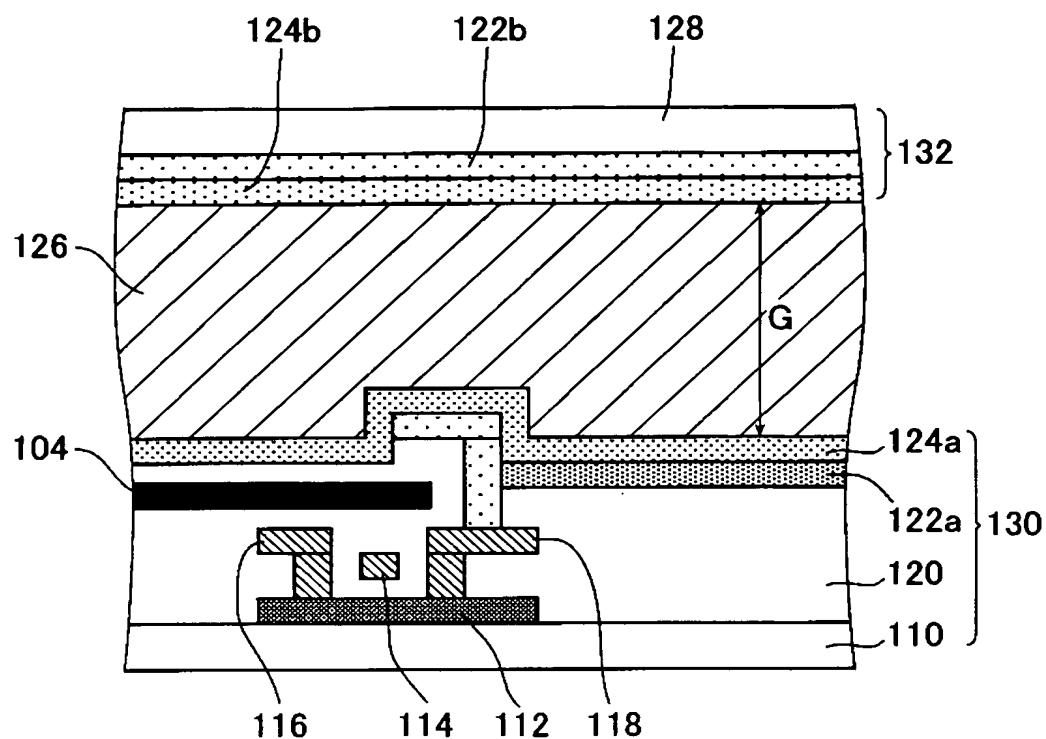
【図10】



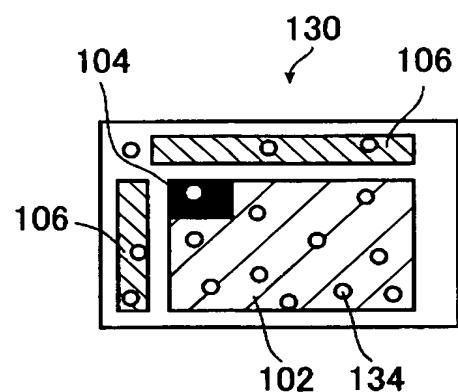
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 セルギャップを一定に維持することができ、表示ムラの無い表示装置の製造方法を提供する。

【解決手段】 複数の画素電極が形成された基板上に複数の柱状スペーサを形成し、前記複数の柱状スペーサが形成された基板上に、平坦な表面を有する塗布材料の膜を、前記柱状スペーサの頭部が前記塗布材料の膜の表面から突出するよう形成し、前記塗布材料の膜の表面を基準面として、前記突出した前記柱状スペーサの頭部を研磨することにより、前記複数の柱状スペーサの上面の高さを前記塗布材料の膜の表面の高さに揃えることを特徴とする表示装置の製造方法を提供することにより前記課題を解決する。

【選択図】 図8

特願2003-014527

出願人履歴情報

識別番号 [501285133]

1. 変更年月日 2001年 7月17日
[変更理由] 新規登録
住所 千葉県千葉市美浜区中瀬一丁目3番地
氏名 川崎マイクロエレクトロニクス株式会社